
UD.-5. Circuitos secuenciales: análisis y diseño de registros y de contadores.

José Gorjón

Índice

- Objetivos.
 - Introducción.
 - Análisis de registros de almacenamiento.
 - Análisis de registros de desplazamiento.
 - Circuitos de aplicación con registros.
 - Análisis de circuitos contadores y divisores de frecuencia asíncronos con biestables integrados.
 - Análisis de circuitos contadores y divisores de frecuencia síncronos con biestables integrados.
 - Programmable Logic Design (PLD)
-

Objetivos.

- Registros de almacenamiento.
 - Registros de desplazamientos.
 - Contador en anillo y Johnson.
 - Circuitos contadores, con biestables.
 - Circuitos divisores de frecuencia.
 - Circuitos contadores asíncronos.
 - Circuitos contadores síncronos.
-

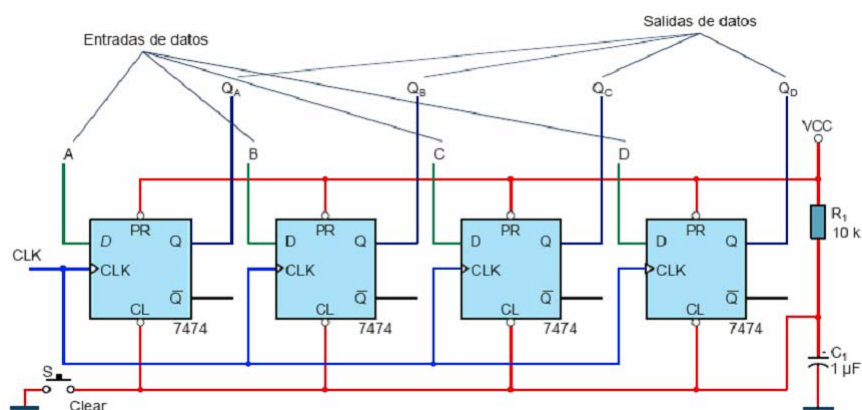
Clasificación de los registros

- Registros de almacenamiento
 - Por Flanco
 - Por latch
 - Registros de desplazamiento
 - Entrada serie/Salida serie
 - Entrada paralelo/Salida paralelo
 - Entrada paralelo/Salida serie
 - Entrada serie/Salida paralelo
-

Registros de almacenamiento

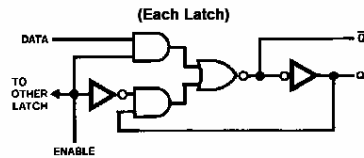
Por Flanco
Por Latch

Registro de almacenamiento con biestables por flanco.



Registro de almacenamiento con biestables por latch. 7475 y 7477

Logic Diagram

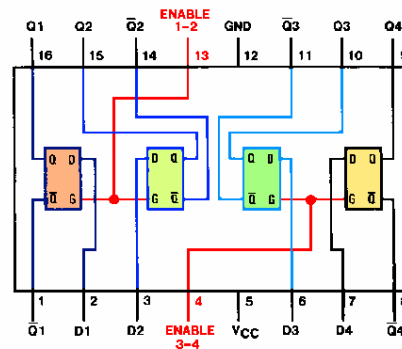


Function Table (Each Latch)

Inputs		Outputs	
D	Enable	Q	\bar{Q}
L	H	L	H
H	H	H	L
X	L	Q_0	\bar{Q}_0

H = HIGH Level
L = LOW Level
X = Don't Care
 Q_0 = The Level of Q Before the HIGH-to-LOW Transition of ENABLE

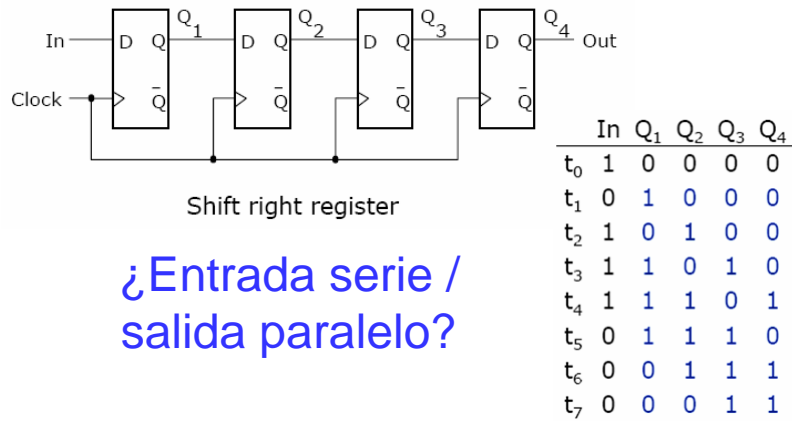
Connection Diagram



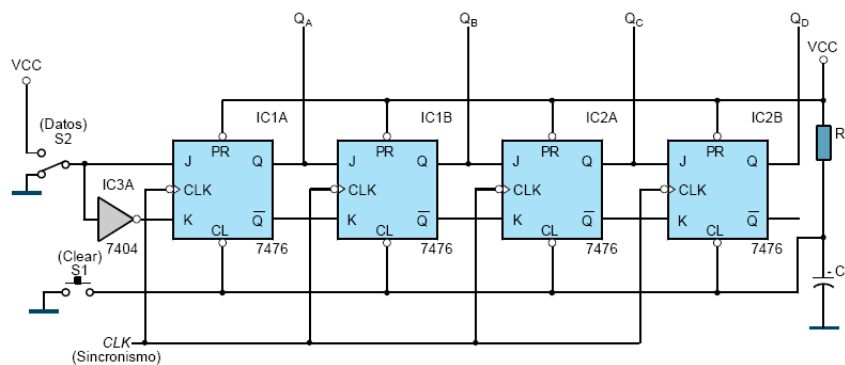
Registros de desplazamiento. Shift Register

- Entrada serie / salida serie.
- Entrada paralelo / salida serie.
- Entrada paralelo / salida paralelo.
- Entrada serie / salida paralelo.

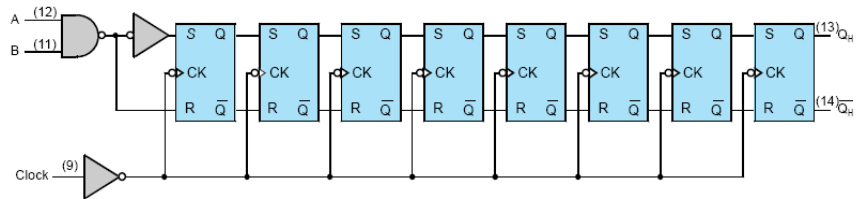
Entrada serie / salida serie.



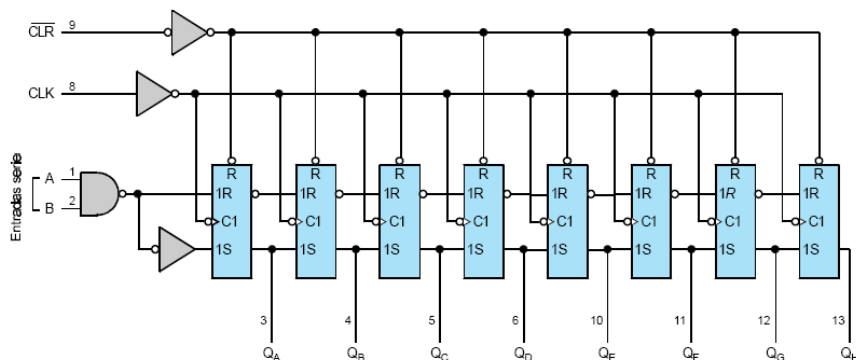
Registro de desplazamiento E.Serie/S.Serie y E.Serie/S.Paralelo



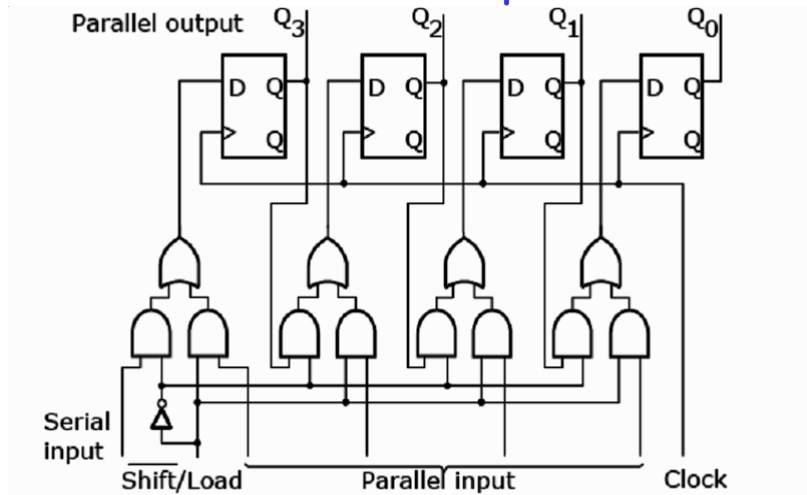
Registro E.Serie/S.Serie 7491



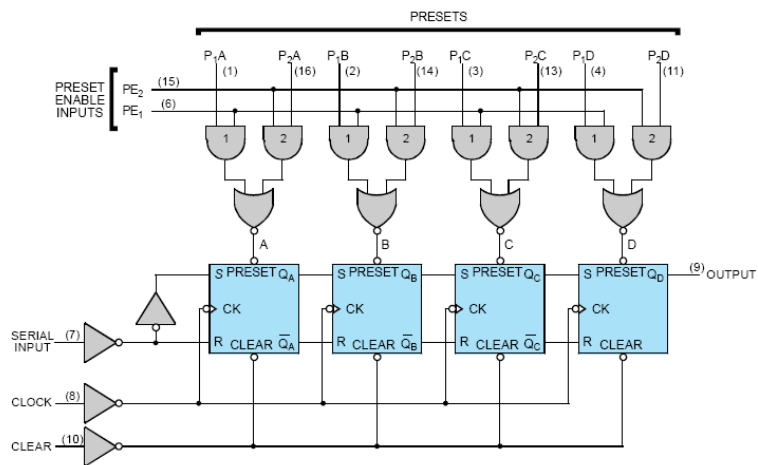
Registro Entradas Serie/Salida Paralelo 74164



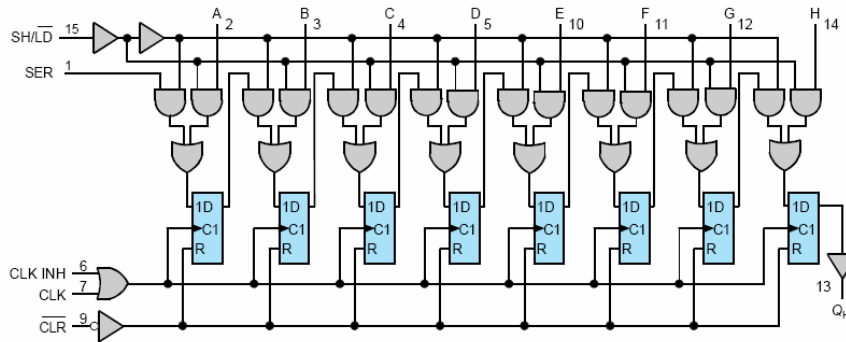
Entrada paralelo / salida paralelo.
Entrada serie / salida paralelo.



Registro E.Paralelo/S.Serie 7494



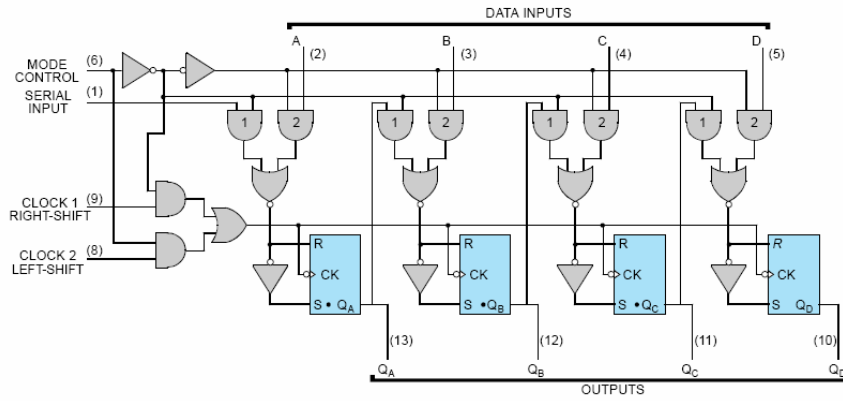
Registro E.Serie/S.Serie E.Paralelo/S.Serie 74166



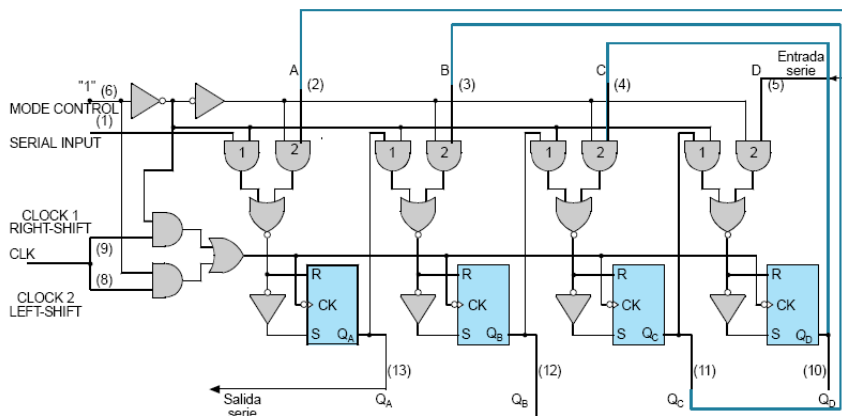
Registros Universales

- 7495
- 74194

Registro Universal 7495



Desplazamiento serie izquierda con el 7495



Símbolo del registro universal 74194

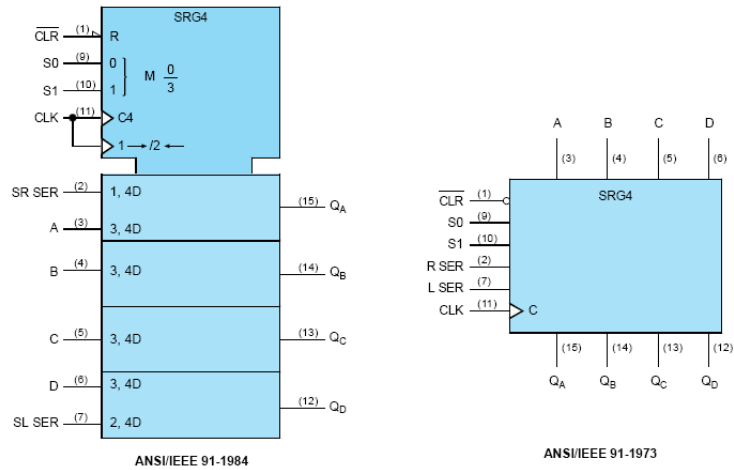


Diagrama lógico del 74194

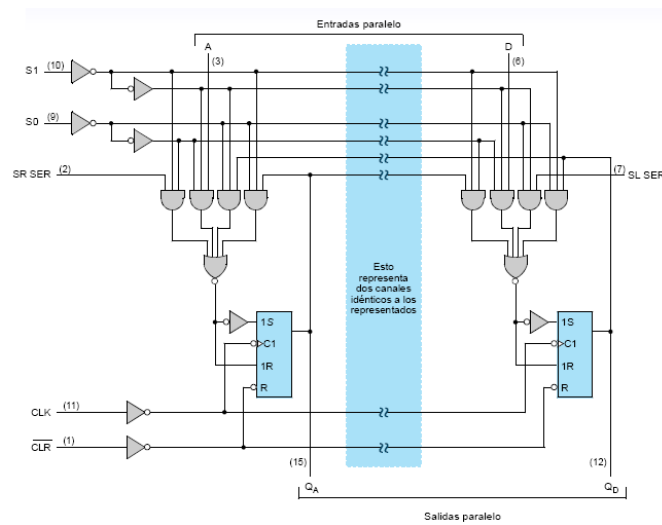
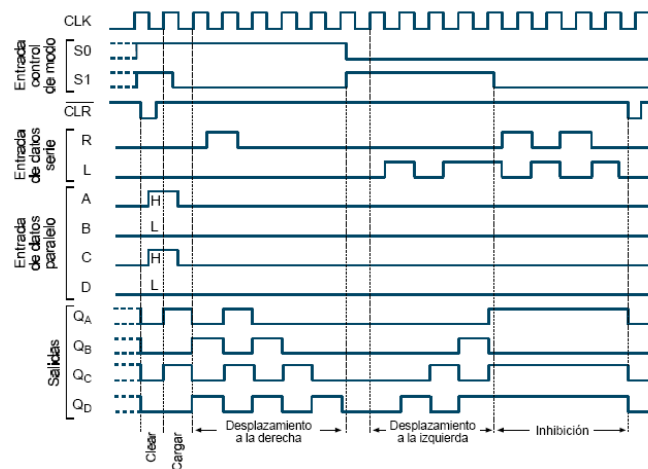


Tabla de funcionamiento del 74194

$\overline{\text{CLR}}$	MODE		CLK	INPUTS				OUTPUTS					
	S1	S0		SERIAL		PARALLEL				QA	QB	QC	QD
				LEFT	RIGHT	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	QAn	QBn	QCn
H	L	H	↑	X	L	X	X	X	X	L	QAn	QBn	QCn
H	H	L	↑	H	X	X	X	X	X	QBn	QCn	QDn	H
H	H	L	↑	L	X	X	X	X	X	QBn	QCn	QDn	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

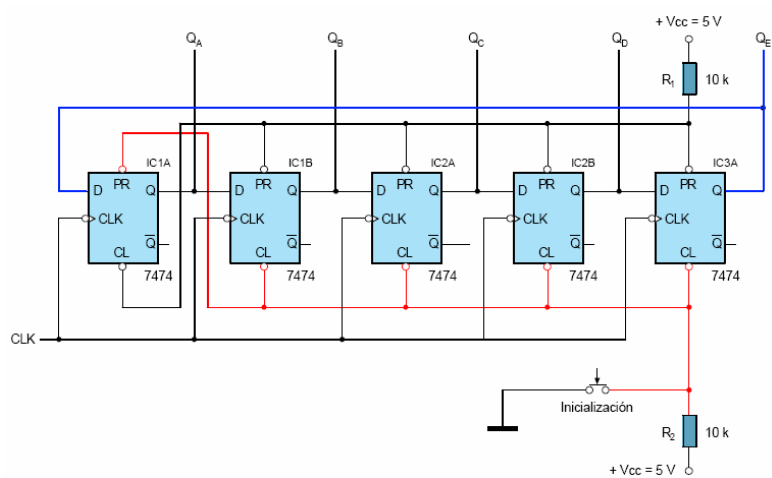
Cronograma de funcionamiento del 74194



Circuitos de Aplicación con Registros.

Contador en Anillo.
Contador Johnson.

Contador en anillo de 5 bits



Contador Johnson de 5 bits

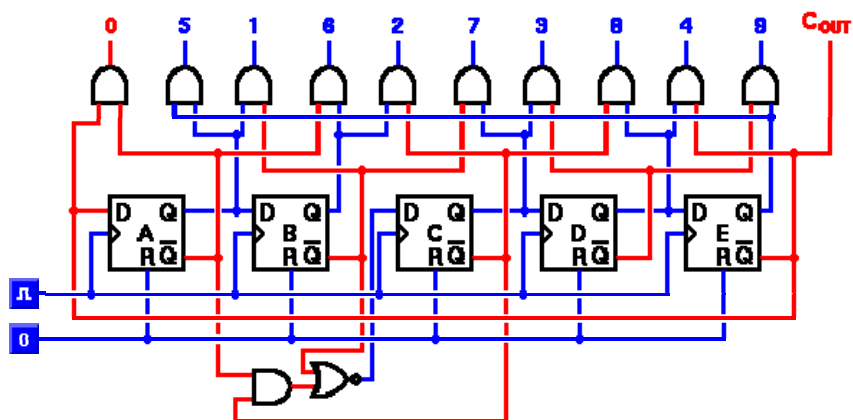
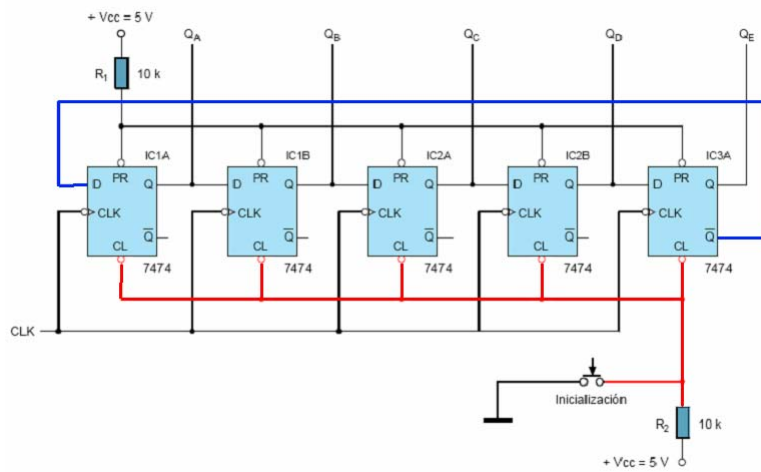
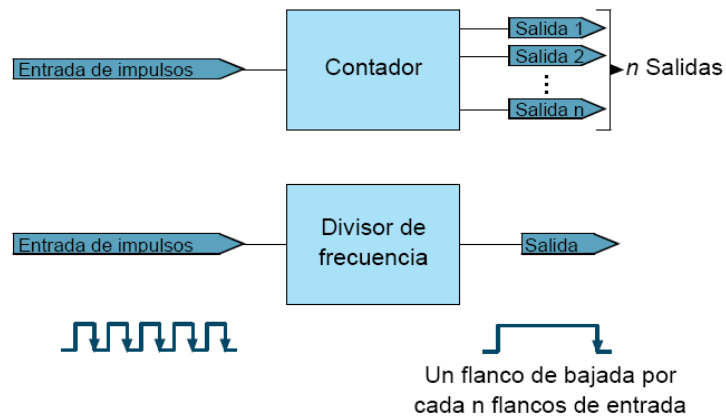
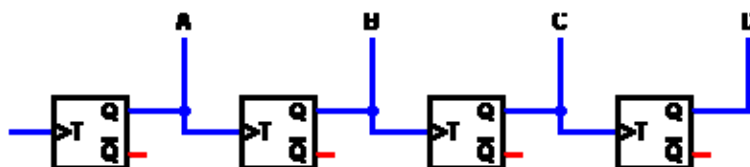


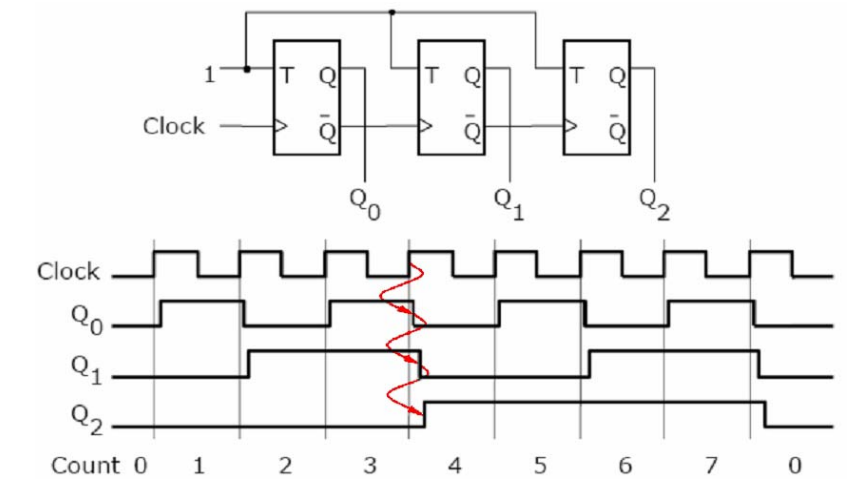
Diagrama de bloques de un contador y un divisor de frecuencia.



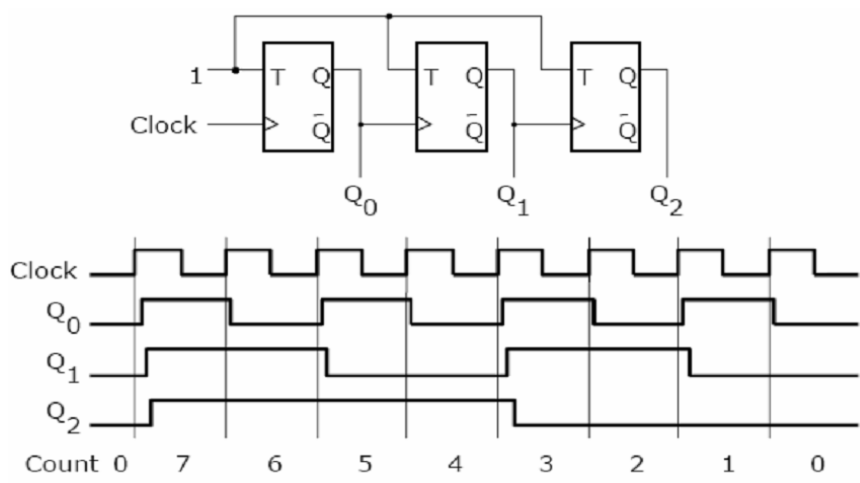
Contadores asíncronos



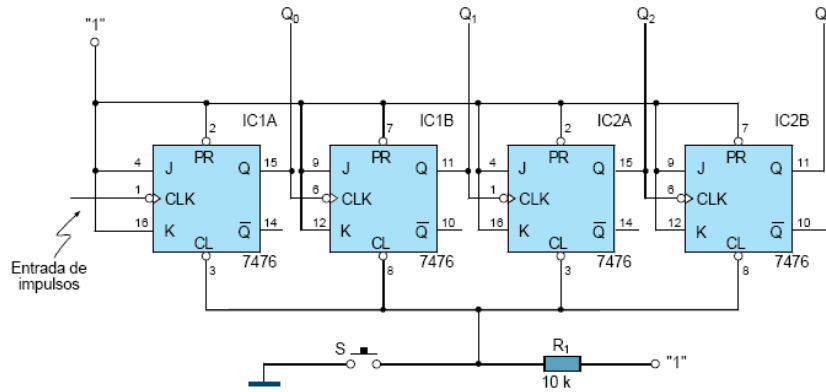
Contador Incremental (flip-flop T)



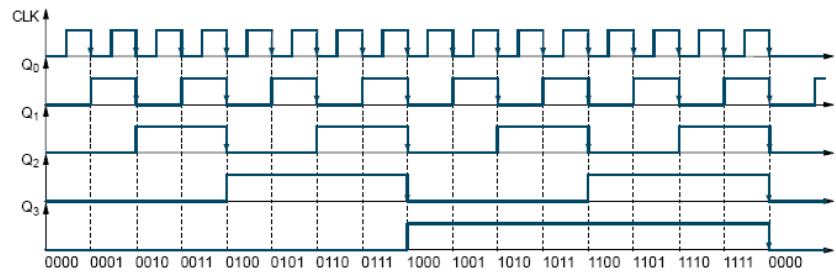
Contador Decremental (flip-flop T)



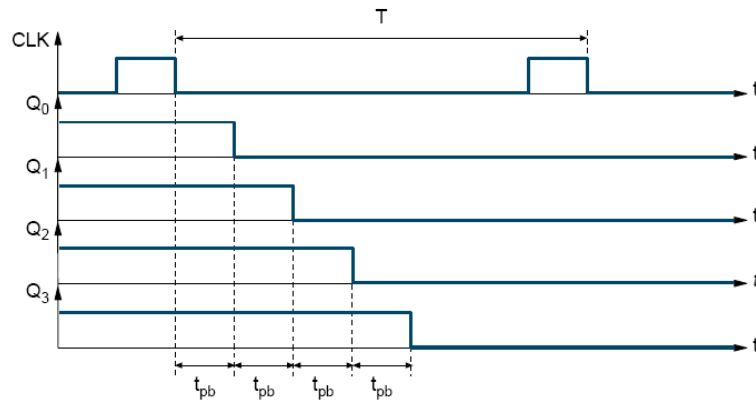
Circuito contador binario de módulo 16



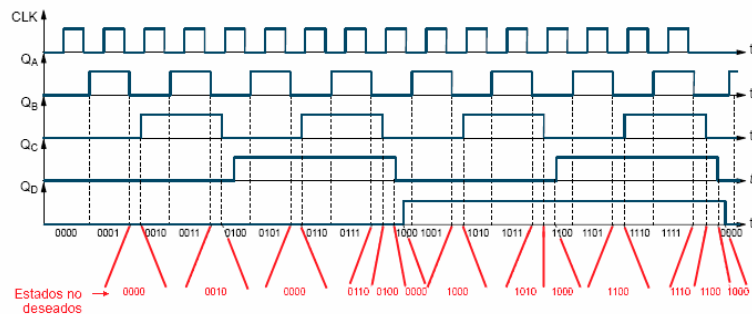
Cronograma de funcionamiento del contador binario de módulo 16



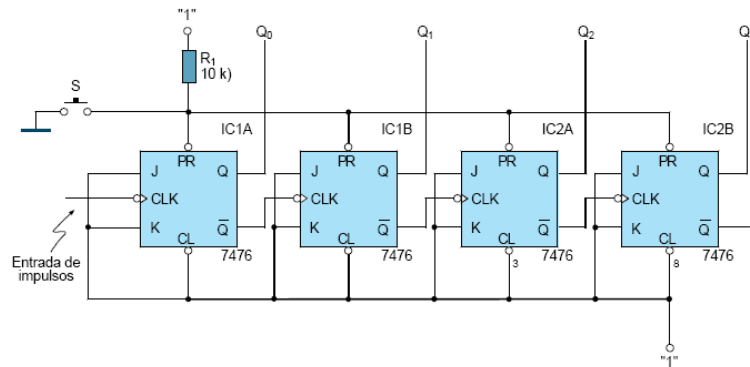
Retardo de propagación al pasar del estado 1111 al 0000



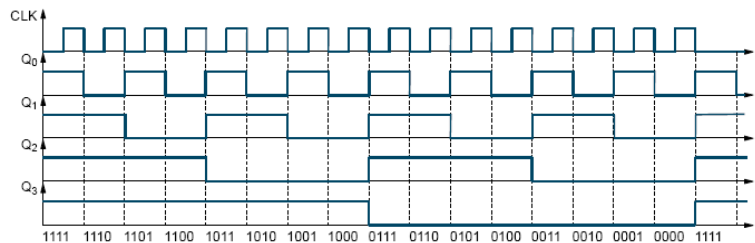
Cronograma de funcionamiento con tiempos de retardo.



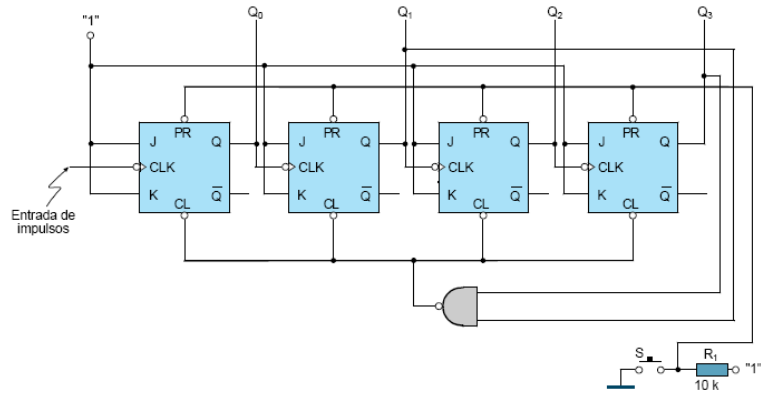
Contador binario descendente de módulo 16.



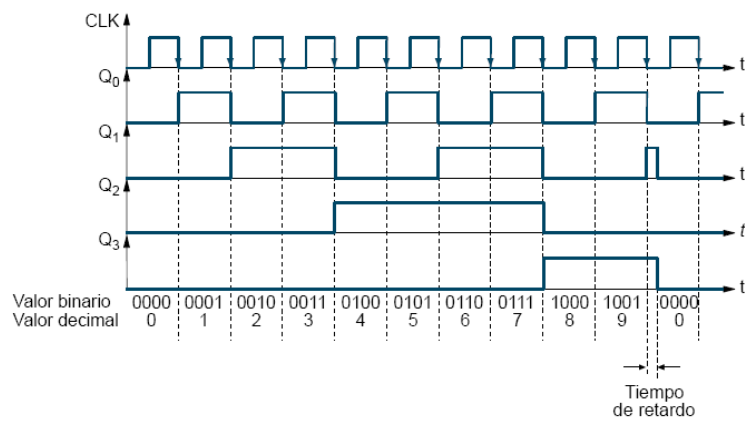
Cronograma de funcionamiento del contador binario descendente de módulo 16.



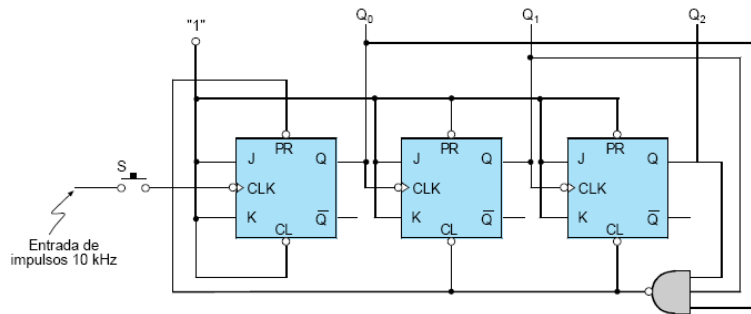
Contador BCD asíncrono



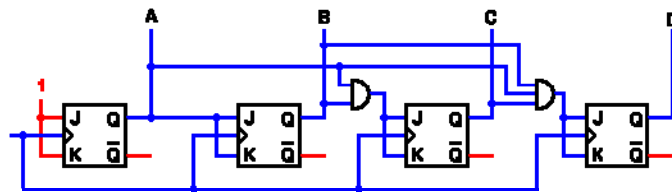
Cronograma del contador asíncrono BCD.



Dado electrónico con biestables J-K.

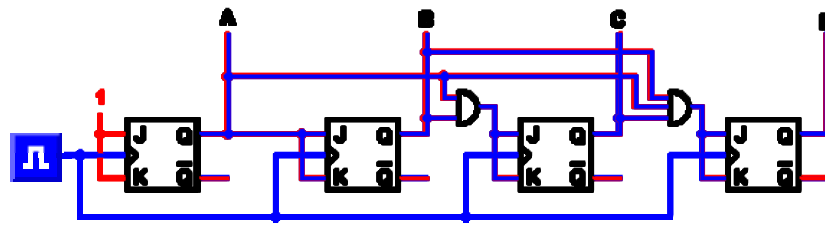


Contadores síncronos.

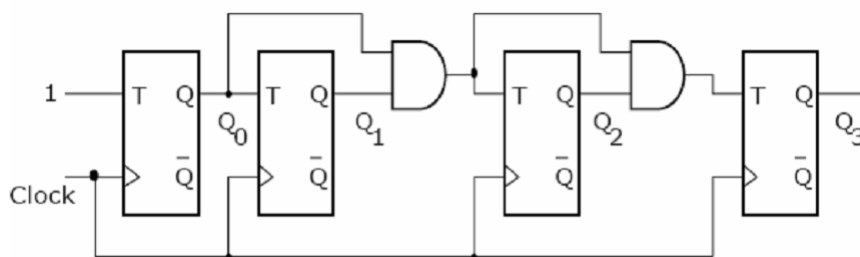


Contador de 4 bits

	Q_2	Q_1	Q_0	
0	0	0	0	
1	0	0	1	Q_1 changes
2	0	1	0	
3	0	1	1	
4	1	0	0	Q_2 changes
5	1	0	1	
6	1	1	0	
7	1	1	1	
8	0	0	0	Q_2 changes

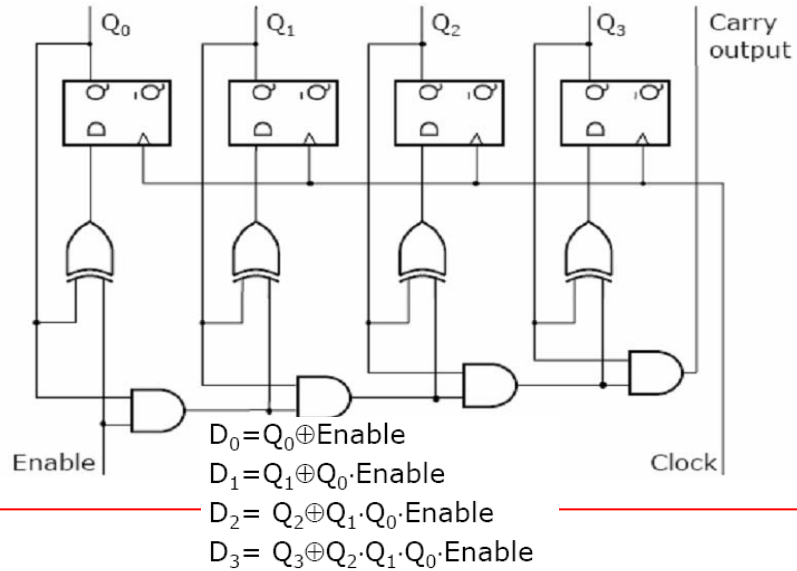


Contador sincrono (Flip-flop T)

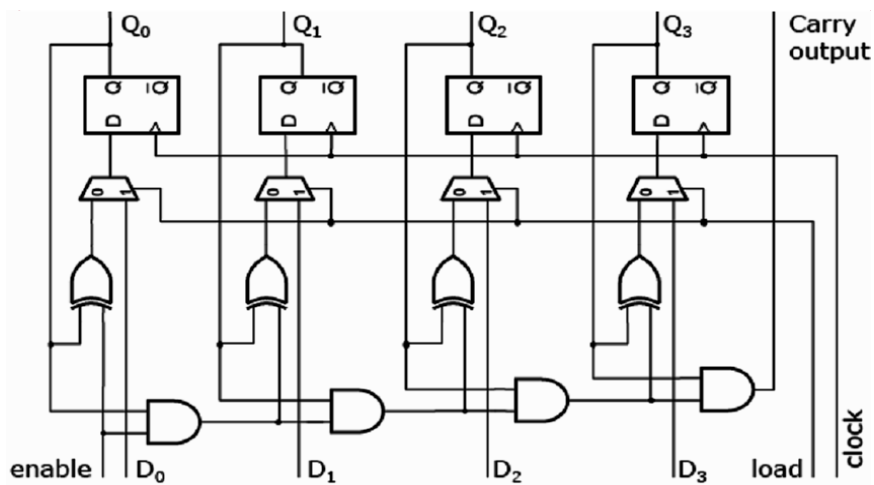


Contador sincrono incremental de 4 bits

Contador 4 bits (Flip-flop D)



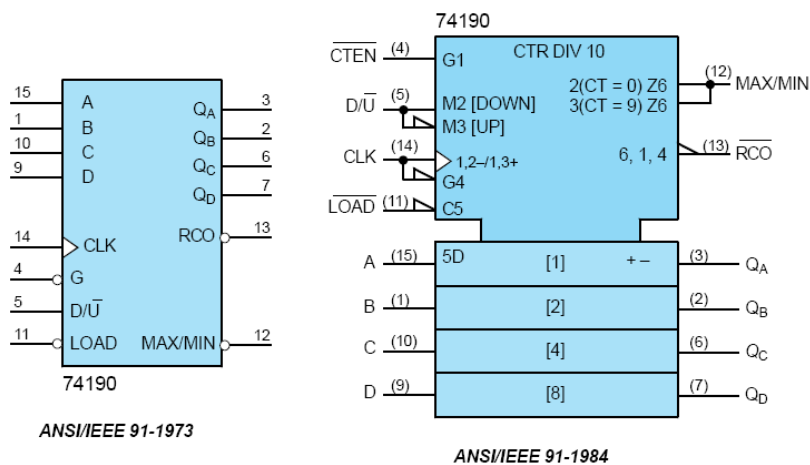
Contador con carga paralelo



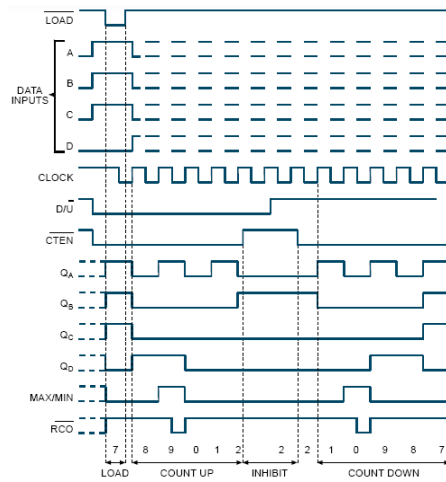
Ejercicios.-

- Contador BCD síncrono.
- Dado electrónico con biestables J-K síncrono.

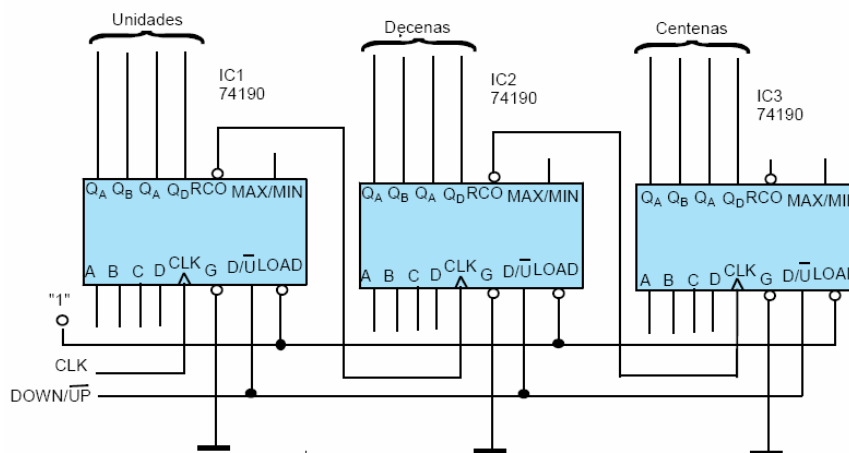
El 74190



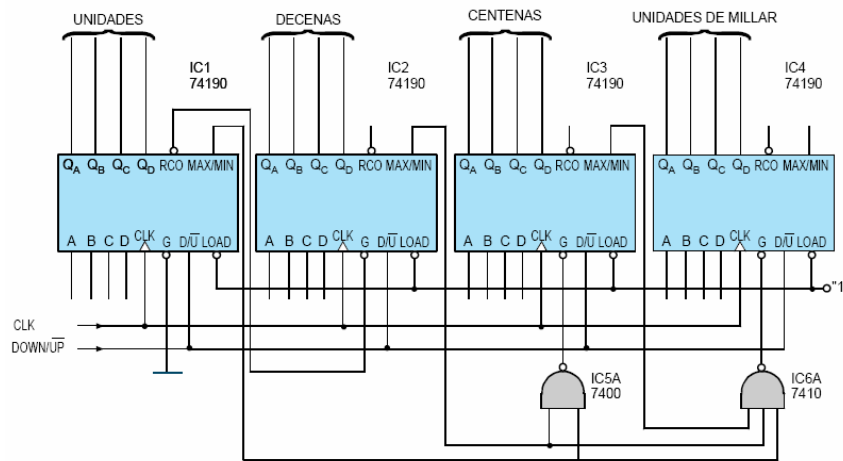
Cronograma de funcionamiento del 74190



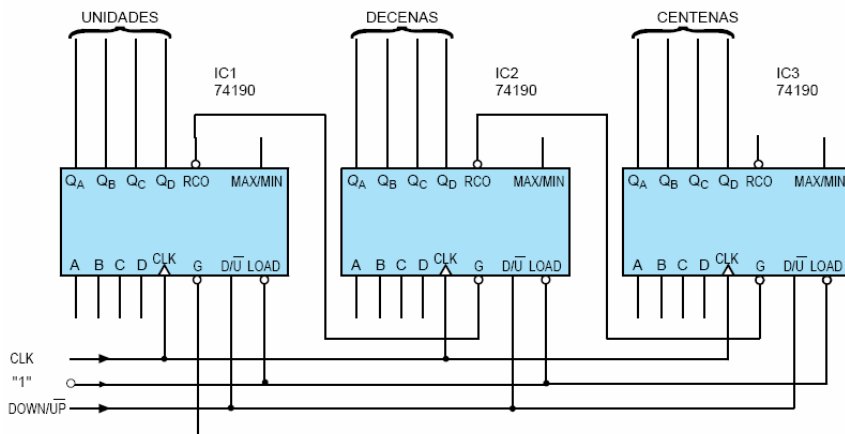
Contador de 0 a 999 con C.I 74190 conexión asíncrona



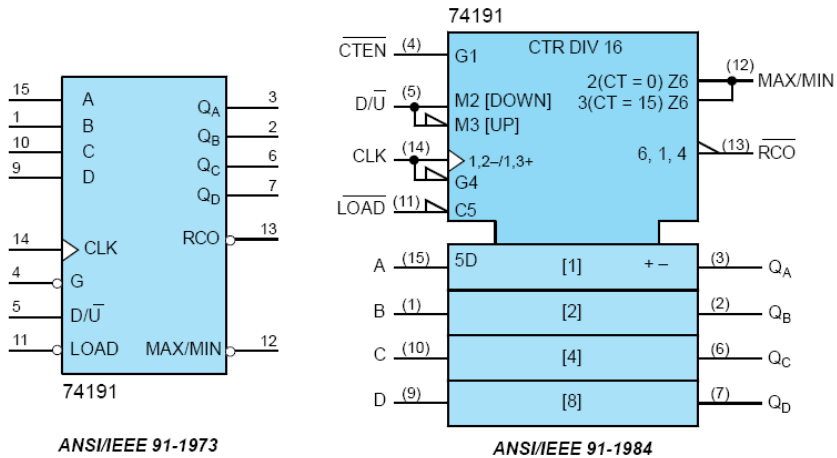
Contador de 0 a 9999 con C.I 74190 conexión síncrona o propagación anticipada



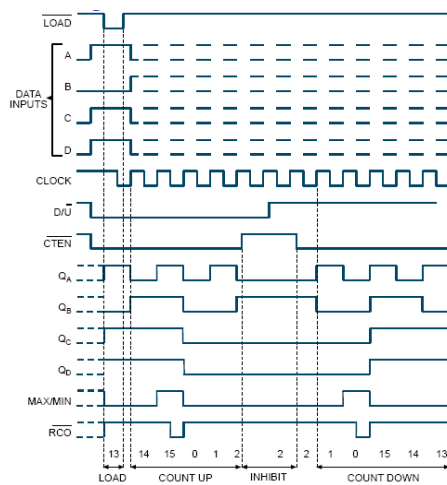
Contador de 0 a 999 con C.I 74190 conexión pseudoasíncrona.



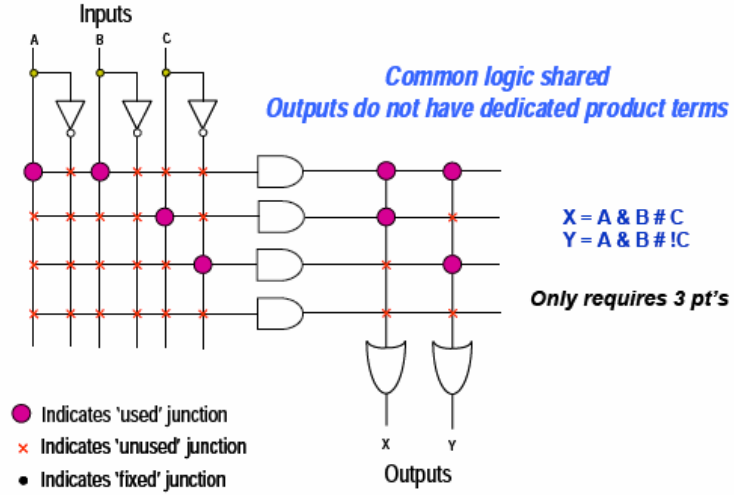
EI 74191



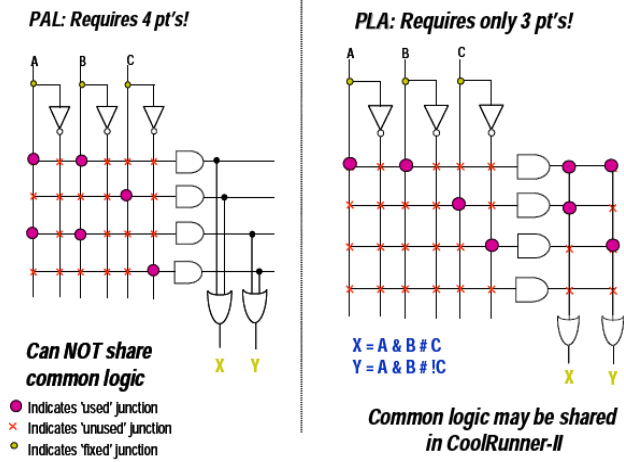
Cronograma de funcionamiento del 74191



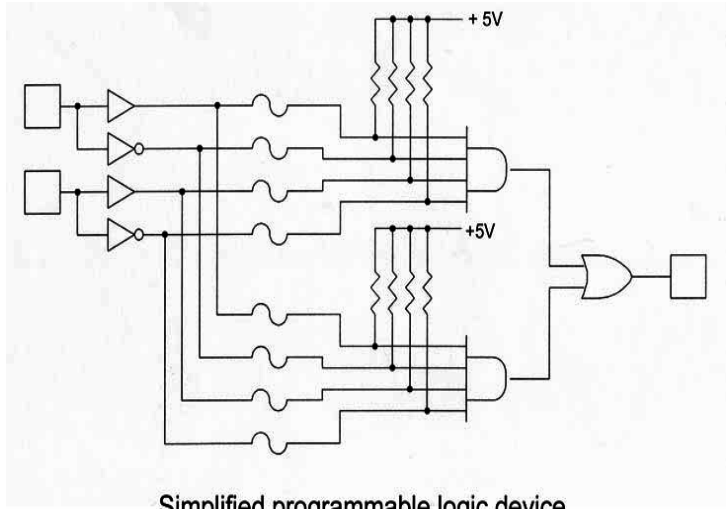
Simple PLA



PAL versus PLA

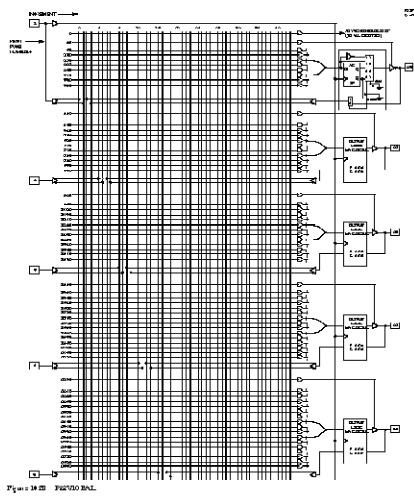


SPLD Architectures (PAL)



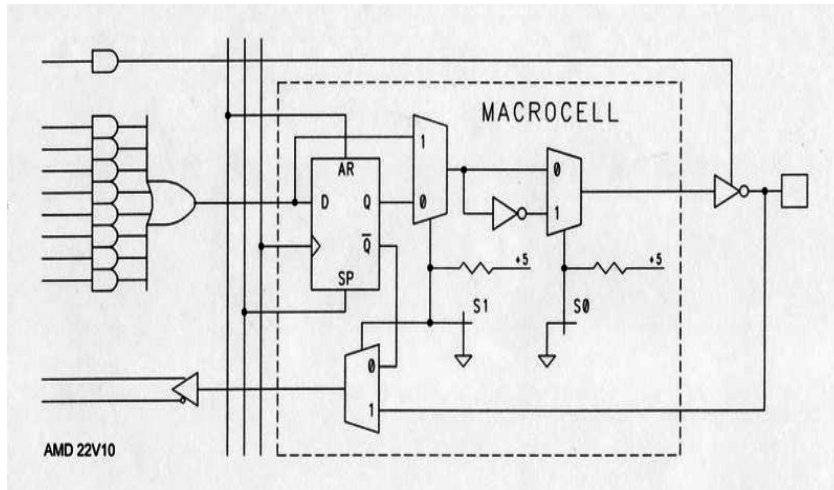
Simplified programmable logic device

Programmable Logic - PLD

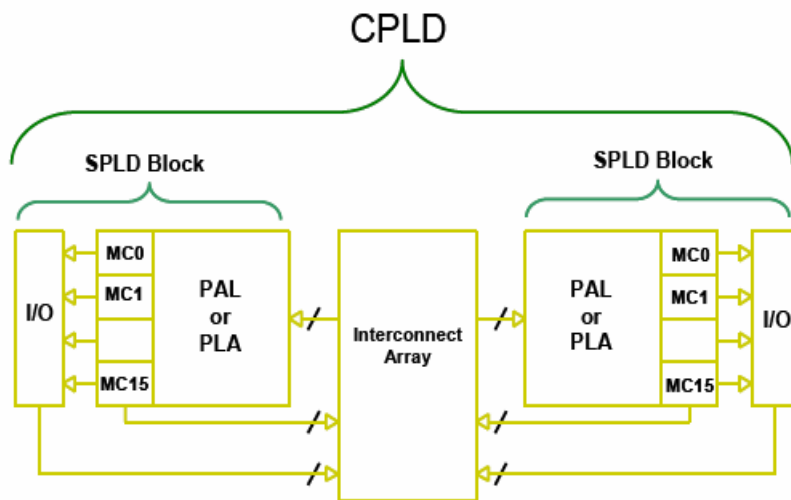


- Programmable AND plane
- Fixed OR plane
- "Registered" outputs (flip-flops)

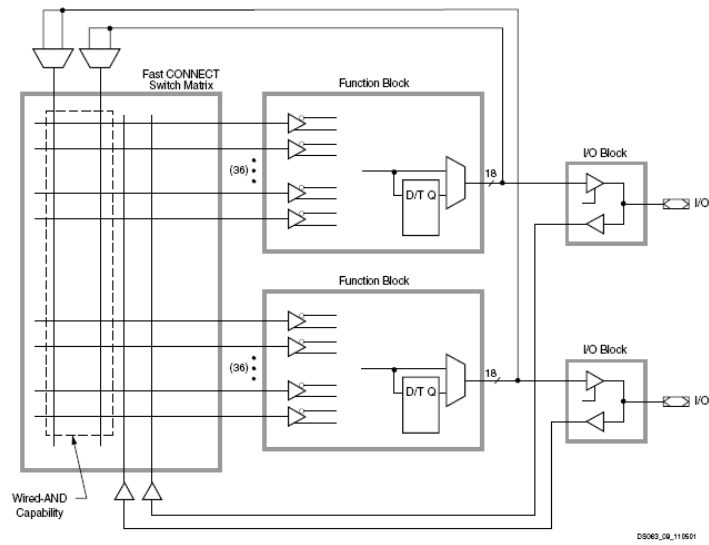
Macro célula de una AMD 22V10



CPLD Architecture



UD-6 y 7 Circuitos Secuenciales.

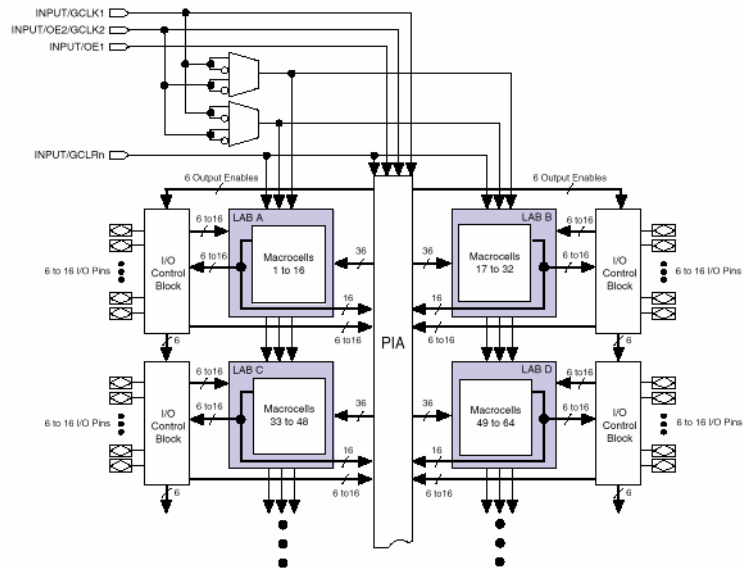


JOSE GORJON

1-75

UD-6 y 7 Circuitos Secuenciales.

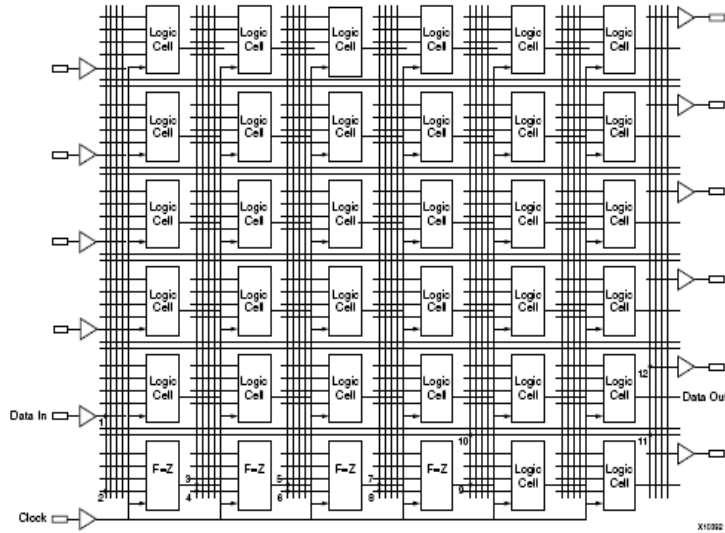
Figure 2. MAX 7000E & MAX 7000S Device Block Diagram



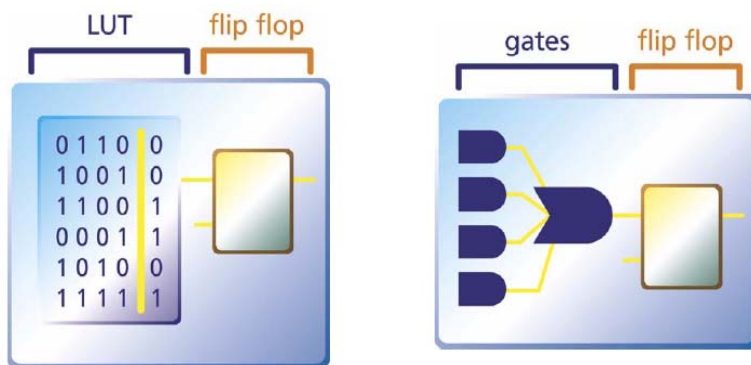
JOSE GORJON

1-76

FPGA Architecture



SRAM y OTP Logic Cell



Categories of FPGAs

- SRAM based
 - ☞ – Volatile configuration (lost when power off)
 - ☞ – Need external support to download configuration data
 - ☞ – Easier to reconfigure
- Antifuse
 - ☞ – Nonvolatile configuration
 - ☞ – Faster than SRAM based
 - ☞ – No reconfiguration
- EEPROM
- EPROM

Packages

